

# 魏民

kinling9

vmin6810@gmail.com

## 教育背景

2021/9 – 2026/6 ■ 博士, 复旦大学 集成电路与系统设计.

研究方向:

- 超大规模集成电路布局算法;
- 综合考量物理约束的综合流程;
- 时序预测与静态时序分析算法.

2017/9 – 2021/6 ■ 学士, 复旦大学 微电子科学与工程.

论文题目: 时序驱动的超大规模异质型 *FPGA* 详细布局问题研究.

## 工作经历

2026/7 – 至今 ■ 技术专家, 上海立芯软件科技有限公司

**Agentic EDA:** 构建工业级 RTL2GDS 智能体, 在几乎无需人工干预的情况下端到端驱动实现流程, 优化 PPA 与功耗表现。

**大模型基础设施:** 负责大模型的本地化部署、面向编程智能体场景的推理效率优化, 以及大模型网关的搭建与管理。

## 实习经历

2024/10 – 2025/8 ■ 软件开发与产品应用实习生, 上海立芯软件科技有限公司

**工作内容:** 参与国产 EDA 工具在 SMIC 工艺场景下 XPU, GPU 等多个芯片模块的国产化替代与调优工作, 负责 PreCTS 部分的国产 EDA 工具的使用流程搭建与 PPA 结果调优。

2023/10 – 2024/9 ■ 软件开发实习生, 上海立芯软件科技有限公司

**工作内容:** 基于国产 EDA 底座平台, 开发基于布局结果的时序预测工具, 实现时序预测与逻辑综合的联动。相关算法可以基于布局结果预测时序并重新综合, 提升网表与布局质量。

2021/7 – 2023/9 ■ 软件开发实习生, 上海立芯软件科技有限公司

**工作内容:** 使用分析方法在布局中优化布线线长并避免时序违例, 开发相关算法并应用于国产 EDA 工具中。在工业用例上可以取得较好的 PPA 结果。

**论文转化:** *Electrostatics-based analytical global placement for timing optimization* [2];  
*An Analytical Placement Algorithm with Routing topology Optimization* [4]

2020/9 – 2021/6 ■ 软件开发实习生, 上海复旦微电子集团股份有限公司

**工作内容:** 参与国产 *FPGA* 配套 EDA 工具的开放工作, 协助开发 *FPGA* 详细布局工具, 相关算法可以有效提升 *FPGA* 布局的时序质量。

## 研究方向

- 1 Y. Chen, Z. Cai, **M. Wei**, Z. Lin, J. Chen, “Global and local attention-based inception u-net for static ir drop prediction,” in *2024 IEEE 42nd International Conference on Computer Design (ICCD)*, IEEE, 2024, pp. 673–680.
- 2 Z. Lin, **M. Wei**, Y. Chen, P. Zou, J. Chen, Y.-W. Chang, “Electrostatics-based analytical global placement for timing optimization,” in *2024 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, IEEE, 2024, pp. 1–6.
- 3 X. Tong, “Layout-level hardware trojan prevention in the context of physical design,” in *Proceedings of the 43rd IEEE/ACM International Conference on Computer-Aided Design*, 2024, pp. 1–9.
- 4 **M. Wei**, X. Tong, Z. Cai, P. Zou, Z. Lin, J. Chen, “An analytical placement algorithm with routing topology optimization,” in *2024 29th Asia and South Pacific Design Automation Conference (ASP-DAC)*, IEEE, 2024, pp. 294–299.
- 5 **M. Wei**, “Analytical placement with 3d poisson ’ s equation and admm-based optimization for large-scale 2.5 d heterogeneous fpgas,” *ACM Transactions on Design Automation of Electronic Systems*, vol. 28, no. 5, pp. 1–24, 2023.

## 技能

|           |                                                                                                                    |
|-----------|--------------------------------------------------------------------------------------------------------------------|
| 语言能力      | 英语六级，熟练的文档阅读和书写能力，能够进行日常交流和学术讨论                                                                                    |
| Coding    | C\C++, Python, Tcl, Shell(Bash, CShell), L <sup>A</sup> T <sub>E</sub> X, ...                                      |
| EDA tools | Cadence Innovus, Synopsys Design Compiler, Mentor Graphics ModelSim, Cadence Virtuoso, Synopsys VCS, Xilinx Vivado |
| 设计语言      | Verilog, SDC, DEF/LEF, Liberty, SystemVerilog, UVM                                                                 |
| Misc.     | Git, (Neo)Vim, CMake, Linux, Docker, 敏捷开发流程                                                                        |

## 其他经历

### 主要竞赛及获奖

- 2023  **First Place**, ISPD 2023 Contest.  
竞赛题目: *Security Closure of Physical Layouts*  
工作内容: 使用 Cadence Innovus 工具搭建芯片后端全流程，并实现 PPA 等设计指标与芯片版图安全的协同优化。  
论文转化: *Layout-level Hardware Trojan Prevention in the Context of Physical Design* [3]

### 其他竞赛及奖项

- 2021  **一等奖**, 第四届中国研究生创“芯”大赛。  
 **三等奖**, 第三届集成电路 EDA 设计精英挑战赛。

## 其他经历 (continued)

---

- 2022      **Honorable Mention**, 2022 CAD Contest @ICCAD.
- 2023      **Second Place**, 2023 CAD Contest @ICCAD.
  -  一等奖, 第五届集成电路 EDA 设计精英挑战赛.
  -  中国教育发展基金会奋进奖学金—集成电路人才培养
- 2024      **Third Place**, ISPD 2024 Contest.